

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-068609

(43)Date of publication of application : 04.03.1992

(51)Int.Cl.

H03H 7/01

H01G 4/40

H01P 1/205

(21)Application number : 02-175769

(71)Applicant : FUJI ELELCTROCHEM CO LTD

(22)Date of filing : 03.07.1990

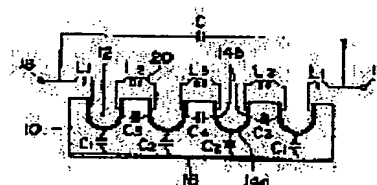
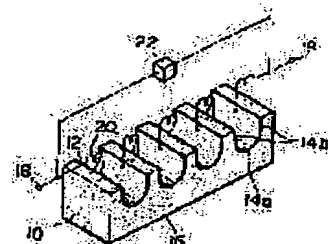
(72)Inventor : SUGANO TERUTAKA  
MASUNO HIROSHI  
TOGAMI NOBUHIRO

## (54) COMB LINE BAND STOP FILTER

## (57)Abstract:

**PURPOSE:** To improve the characteristic of the filter by providing plural slots in parallel with a dielectric body block, forming a conductor film to each bottom face, interconnecting the conductor films sequentially with a coil, and coupling the input and output with a capacitor so as to make the high frequency pass band steep.

**CONSTITUTION:** Four slots 12 are provided in parallel to the upper face of a dielectric body block of a rectangular parallelepiped shape, conductor films 14a, 14b are provided respectively to the bottom face of each slot 12 and both wall faces and an earth electrode 16 is formed to the entire lower face of the block 10. Input/output terminals 18 and each of both ends of the conductor film, and the conductor films of each slot are interconnected by a coil 20. Moreover, the input/output terminals 18 are connected by a chip capacitor 22. The low pass filter characteristic is realized by using counter ground capacitance (C1, C2) and inductance (L1,..., L3). Furthermore, a high pass filter characteristic is realized by a capacitance C of the capacitor 22.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

平4-68609

⑮ Int. Cl.<sup>5</sup>

H 03 H 7/01  
H 01 G 4/40  
H 01 P 1/205

識別記号

3 2 1 Z  
K

庁内整理番号

8321-5 J  
7924-5 E  
9183-5 J

⑬ 公開 平成4年(1992)3月4日

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 楕形帯域阻止フィルタ

⑯ 特 願 平2-175769

⑰ 出 願 平2(1990)7月3日

⑱ 発 明 者	菅 野 照 登	東京都港区新橋5丁目36番11号	富士電気化学株式会社内
⑱ 発 明 者	増 野 宏	東京都港区新橋5丁目36番11号	富士電気化学株式会社内
⑱ 発 明 者	戸 上 暢 啓	東京都港区新橋5丁目36番11号	富士電気化学株式会社内
⑲ 出 願 人	富士電気化学株式会社	東京都港区新橋5丁目36番11号	
⑳ 代 理 人	弁理士 茂 見 稔		

明 細 書

## 1. 発 明 の 名 称

楕形帯域阻止フィルタ

## 2. 特 許 請 求 の 範 囲

1. 誘電体ブロックの相対向する面の一方に複数本の溝を平行に設けて楕形にし、各溝の少なくとも底面に導体膜を形成すると共に他方の面にアース電極を設け、隣接する溝の導体膜間をコイルで接続し、入出力端間をコンデンサ容量を介して結合した楕形帯域阻止フィルタ。

2. 入出力端間をコンデンサとコイルとの直列接続によって結合した請求項1記載のフィルタ。

3. 各溝の底面及び両壁面に導体膜を形成する請求項1又は2記載のフィルタ。

## 3. 発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は主としてマイクロ波帯域で使用する楕形構造の帯域阻止フィルタに関する。更に詳

しく述べると、誘電体ブロックの一面に複数の溝を並設し、反対側の面と溝内面に導体膜を形成することにより複数の容量部を構成し、溝内の導体膜間をコイルで接続し、入出力端間をコンデンサ容量で結合した帯域阻止フィルタに関するものである。

このフィルタは、例えばマイクロ波帯域の移動体通信や衛星通信等で有用である。

〔従来の技術〕

マイクロ波帯域で用いる帯域阻止フィルタとしては誘電体共振器構造が一般的である。これはマイクロ波用高誘電率セラミックス材料からなる誘電体共振器を複数個並設し、適当な集中定数素子で結合した構成である。誘電体共振器は、角柱の中心に貫通孔を設け、該貫通孔の内壁面に導体膜を付着すると共に、貫通孔が開口している一方の面(開放面)を除く外表面にも導体膜を付着して、それぞれ内導体及び外導体としたものである。内導体の開放端にそれぞれコンデンサを接続し、各コンデンサ間をコイル

で接続してフィルタとする。

各誘電体共振器は、角柱高さ、比誘電率、コンデンサ容量等で決まる共振周波数をもち、上記構成によって1/4同軸共振型の帯域阻止フィルタが得られる。

〔発明が解決しようとする課題〕

上記の帯域阻止フィルタは、単体共振器を複数個配列するため、部品点数が多く組み立て工数が増大し、共振器間の位置出しや外導体面精度も要求が厳しくなる。また共振器同士の接合の必要から機械的強度や耐環境性の劣化などの問題もある。

本発明の目的は、上記のような従来技術の欠点を解消し、組み立て調整工数を低減でき、製造し易い帯域阻止フィルタを提供することにある。

〔課題を解決するための手段〕

上記の目的を達成できる本発明は、誘電体ブロックの相対向する面の一方に複数本の溝を平行に設けて楕形とし、各溝の少なくとも底面に

することにより、高域通過フィルタ特性が得られる。両者が組み合わされることで、所望の帯域阻止フィルタとなる。

また入出力間をコンデンサとコイルとの直列接続で結合すると、直列共振が生じ高域側の通過域が急峻になり、良好なフィルタ特性が得られる。

更に溝の壁面に導体膜を形成すると、隣合う溝の壁面導体膜間で対向容量が生じ、それと前記コイルのインダクタンスとによって並列共振回路ができ、減衰極ができるため低域側通過域が急峻になりフィルタ特性が改善される。

〔実施例〕

第1図は本発明に係る楕形帯域阻止フィルタの一実施例を示す斜視図であり、第2図はその等価回路を示す説明図である。

チタン酸バリウム等のマイクロ波用高誘電率材料からなる誘電体ブロック10は、直方体の一組の相対向する面の一方(図面では上面)に4本の溝12を平行に設けたものであり、第2

導体膜を形成すると共に他方の面にアース電極を設け、隣接する溝の導体膜間をコイルで接続し、入出力間をコンデンサ容量を介して結合した帯域阻止フィルタである。

ここで入出力間は、コンデンサとコイルの直列接続によって結合してもよい。また溝の底面以外に両壁面にも導体膜を形成してもよい。

なお本明細書において、「溝」とは細長く窪んだところをいい、両側に壁面がある通常の意味での溝の他、誘電体ブロックの端部に位置する場合には片側に壁面が無いものをも含む広い意味で用いている。

〔作用〕

溝底部の導体膜とアース電極との間で接地容量が形成され、溝の導体膜間を結合するコイルでインダクタンスが生じる。これら複数のコイルが直列に接続されると共にコイルの相互接続点間に並列にそれぞれ接地容量が接続された4端子LC回路網で低域通過フィルタ特性が得られる。そして入出力間をコンデンサ容量で結合

図のように楕形をなしている。そして各溝12の底面と両壁面にそれぞれ導体膜14a、14bを設けると共に誘電体ブロック10の他方の面(図面では下面)全面にアース電極16を形成する。入出力端子18と両端に位置する溝の導体膜との間、及び各溝の導体膜間をコイル20で接続する。

更に入出力端子18間をチップコンデンサ22を介して接続する。

なお第1図において図面を分かり易くするため、導体膜が無く誘電体の素地がそのまま露出している部分は細かな点々によって表示してある。誘電体ブロックは、例えば粉体を所定の形状にプレス成形し焼成することで製造できる。あるいは直方体状の焼結品を切削加工することによって溝を形成してもよい。また導体膜は例えば銀ペーストの焼き付け等により形成したものでよい。

第2図に示すように、溝底部の導体膜14aとアース電極16との間で接地容量C1、C2

が形成され、隣合う溝の壁面導体膜14b間で対向容量 $C_1, C_2$ が形成される。 $L_1, \dots, L_n$ はコイル20によるインダクタンスを表している。接地容量 $C_1, C_2$ とインダクタンス $L_1, \dots, L_n$ とで低域通過フィルタ特性が生じる。またコンデンサ22のコンデンサ容量 $C$ によって入出力端子18間が結合される。これによって高域通過フィルタ特性が得られる。

上記低域通過フィルタ特性と高域通過フィルタ特性をもつ回路を並列に組み合わせることで帯域阻止フィルタとなる。このフィルタでは、チップコンデンサ22の容量、接地容量 $C_1, C_2$ とインダクタンス $L_1, \dots, L_n$ の値を適当に選定することで、所望の特性に調整できる。

本実施例では、溝の壁面にも導体膜を形成しているため対向容量 $C_1, C_2$ が生じ、それらとインダクタンス $L_1, \dots, L_n$ とで並列共振になり低域側の通過域が急峻になる。更に図示されていないが、入出力間をコンデンサとコイルとの直列接続で結合すると、直列共振が生じ

被覆線を外した場合の特性であり、低域通過フィルタ特性が生じることが分かる。つまり錫メッキ被覆線による入出力間のコンデンサ結合が加わることで帯域阻止フィルタ特性が生じるのである。

なお入出力間の結合に、コンデンサの他に更にコイルを加えて直列共振を生じさせると、高域側の通過域の部分(同図のの部分)が急峻になり、より良好なフィルタ特性が得られる。

以上本発明の好ましい実施例について詳述したが、本発明はこのような構成のみに限定されるものではない。溝の本数は任意であり、溝形状などは適宜変更してよい。例えば断面矩形状の溝でもよい。溝幅や溝深さを変えることで各溝部分での容量を調節することもできる。また両端の溝の外側の壁部分は無くてもよい。これによって小型化できると共に、材料費用も節約できる。

#### [発明の効果]

本発明は上記のように誘電体ブロックに複数

高域側の通過域が急峻になり好ましい。

なお誘電体ブロックの幅を一定としたとき、接地容量 $C_1, C_2$ は溝幅、アース電極と溝底部との距離で調整でき、対向容量 $C_1, C_2$ は溝間の凸部の幅、溝深さで調整できる。

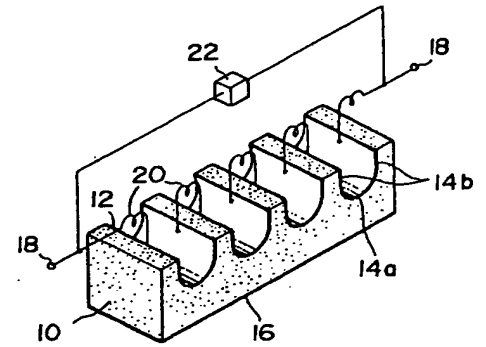
次に実験結果について述べる。第3図は実験に用いた誘電体フィルタの説明図であり、第5図は得られたフィルタ特性線図である。誘電体ブロックは誘電率 $\epsilon = 3.9$ の材料を用い、各寸法は第4図に記載した通りである。単位はmmである。なお誘電体ブロックの幅は6.3mmである。入出力コイルは2ターン、溝間のコイルは3ターンであり、線径 $0.4\text{mm}\phi$ の線材を用いた。入出力コネクタ30に2本の錫メッキ被覆線32(芯線径 $0.8\text{mm}\phi$ 、絶縁被覆径 $1.2\text{mm}\phi$ )の芯線部をそれぞれ半田付けし、他端同士を4回巻き合わせてコンデンサ結合容量をもたせた。第5図から分かるように、この構成によって帯域阻止フィルタ特性が生じる。なお破線で示す特性は、入出力コネクタ間の錫メッキ

の溝を並設し、その底面に導体膜を形成して溝底部と対向するアース電極との間で接地容量を持たせ、溝の導体膜の間を順次コイルで接続すると共に、入出力間をコンデンサ容量で結合する構成だから、それらによって等価的に前述したようなLC回路網ができ所望の帯域阻止フィルタ特性を実現できる。入出力間の結合にコンデンサの他にコイルを直列に設けて直列共振させると、高域側の通過域が急峻となりフィルタ特性が改善される。

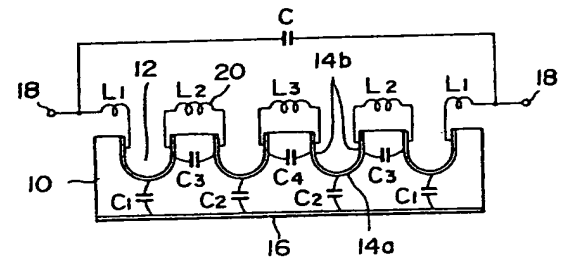
また溝の壁面にも導体膜を形成すると隣合う溝の壁面間で生じる対向容量とコイルのインダクタンスによって並列共振回路ができ、低域側の通過域が急峻になる。

本発明のフィルタは一体型であり容量が均一化され、正確な溝形状にすることによって容量のばらつきを抑えることができ、導体膜の形成に高精度のスクリーン印刷技術を必要とせず、そのため製造コストが低減する。更に立体的に容量を形成しているため、占有取付け面積が小

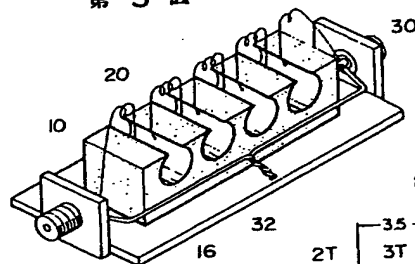
第 1 図



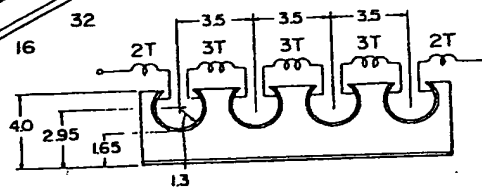
第 2 図



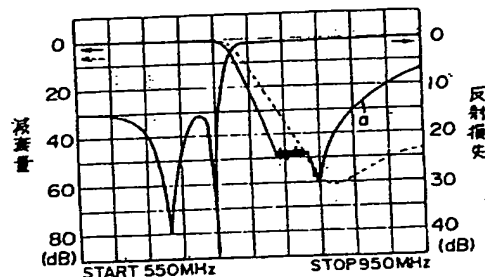
第 3 図



第 4 図



第 5 図



さくなり基板実装密度が向上する。

#### 4. 図面の簡単な説明

第 1 図は本発明に係る楕円帯域阻止フィルタの一実施例を示す斜視図、第 2 図はその等価回路を示す説明図、第 3 図は実験に用いたフィルタの説明図、第 4 図はその溝等の寸法説明図、第 5 図はそのフィルタの特性例を示すグラフである。

10…誘電体ブロック、12…溝、14a、14b…導体膜、16…アース電極、18…入出力端子、20…コイル、22…チップコンデンサ。

特許出願人 富士電気化学株式会社

代理人 茂 見 権